

S1 ' 1 'PN="10-223636"  
?t 1/5/1

**1/5/1**  
DIALOG(R)File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

05940536 \*\*Image available\*\*  
MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUB. NO.: **10-223636** [JP 10223636 A]  
PUBLISHED: August 21, 1998 (19980821)  
INVENTOR(s): KATO TAKASHI  
APPLICANT(s): NEC YAMAGATA LTD [416643] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 09-028057 [JP 9728057]  
FILED: February 12, 1997 (19970212)  
INTL CLASS: [6] H01L-021/3205; H01L-021/02; H01L-027/00; H01L-021/8234; H01L-027/088  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC CHEMISTRY -- High Polymer Molecular Compounds)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

#### ABSTRACT

PROBLEM TO BE SOLVED: To improve the manufacturing yield of a semiconductor integrated circuit device and, at the same time, to shorten the period from the acceptance of an order to the shipment of the ordered product by electrically connecting semiconductor elements to wiring layers by sticking a semiconductor wafer carrying the elements and a substrate wafer on which the wiring layers are formed together after aligning the elements with the wiring layers, and then, removing the semiconductor wafer.

SOLUTION: A base wafer on which many semiconductor elements are formed and a wiring layer wafer on which wiring layers are similarly formed are separately formed. On the wiring layer wafer, adhesive layers are applied and only wiring layers are formed on the adhesive layers. Each wiring layer is constituted of first and second wiring layers or more wiring layers. Then a semiconductor integrated circuit device wafer is formed by sticking the separately formed base wafer and wiring layer wafer together. On the semiconductor integrated circuit device wafer, the semiconductor chips of many semiconductor integrated circuit devices are formed. Finally, the substrate wafer used for the wiring layer wafer is removed.

?

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223636

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/3205  
21/02  
27/00 3 0 1  
21/8234  
27/088

識別記号

F I  
H 0 1 L 21/88  
21/02  
27/00 3 0 1 B  
27/08 1 0 2 D

審査請求 有 請求項の数9 O.L. (全9頁)

(21)出願番号 特願平9-28057

(22)出願日 平成9年(1997)2月12日

(71)出願人 390001915

山形日本電気株式会社  
山形県山形市北町4丁目12番12号

(72)発明者 加藤 隆

山形県山形市北町四丁目12番12号 山形日本電気株式会社内

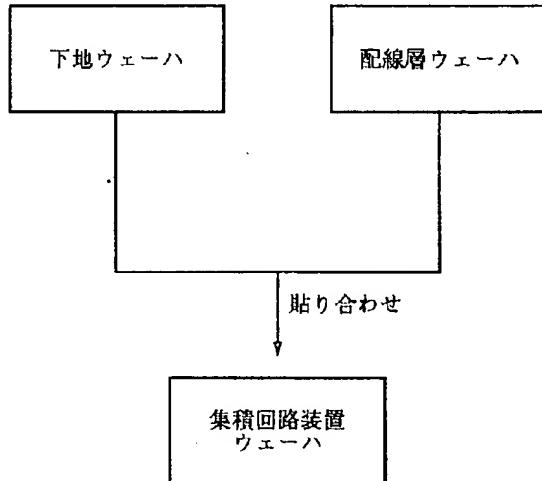
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】半導体集積回路装置の製造歩留まりを向上させると共に、カスタム製品の受注から出荷までの工期を更に短縮できる半導体集積回路装置の製造方法を提供する。

【解決手段】半導体素子を有する半導体ウェーハと配線層の形成された基板ウェーハ（配線層ウェーハという）とを互いに位置合わせて張り合わせる工程と、前記半導体ウェーハの半導体素子に前記配線層を電気接続させる工程と、前記基板ウェーハを除去する工程とを含む。



## 【特許請求の範囲】

【請求項1】 半導体素子を有する半導体ウェーハと配線層の形成された基板ウェーハ（配線層ウェーハという）とを互いに位置合わせて張り合わせ、前記半導体ウェーハの半導体素子に前記配線層を電気接続させる工程と、前記基板ウェーハを除去する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記半導体ウェーハは、半導体基板上に配列して形成された絶縁ゲート電界効果トランジスタと、全面を被覆する層間絶縁膜と、前記絶縁ゲート電界効果トランジスタのソース・ドレイン拡散層およびゲート電極に達するコンタクト孔と、前記コンタクト孔に充填された導電体材とを有し、前記層間絶縁膜と前記導電体材との表面は平坦化され、さらに、前記配線層ウェーハは配線層の特性計測を通して良品として選別されていることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 カスタム製品の半導体集積回路装置の製造方法であつて、異種の配線構造を有し異なる論理回路を構成する配線層ウェーハが予め複数種形成されており、前記カスタム製品の論理構成に応じて前記半導体ウェーハと前記配線層ウェーハとが張り合わされることを特徴とする請求項1または請求項2記載の半導体集積回路装置の製造方法。

【請求項4】 前記半導体ウェーハに形成されたコンタクト孔に充填される導電体材と前記配線層ウェーハに形成される最上層の配線層とが同一材料で構成され、前記導電体材と前記最上層の配線層とが接着されることを特徴とする請求項2または請求項3記載の半導体集積回路装置の製造方法。

【請求項5】 前記導電体材と前記最上層の配線層とがアルミ金属で構成されていることを特徴とする請求項4記載の半導体集積回路装置の製造方法。

【請求項6】 前記導電体材と前記最上層の配線層とが高融点金属で構成されていることを特徴とする請求項4記載の半導体集積回路装置の製造方法。

【請求項7】 前記配線層ウェーハに形成される最上層の配線層間に接着絶縁層が形成され、前記最上層の配線層と前記接着絶縁層が平坦化され、前記半導体ウェーハの層間絶縁膜と前記接着絶縁層とが接着されることを特徴とする請求項2または請求項3記載の半導体集積回路装置の製造方法。

【請求項8】 前記接着絶縁層がスピンドルガラス膜で構成されていることを特徴とする請求項7記載の半導体集積回路装置の製造方法。

【請求項9】 前記配線層ウェーハにおいて、基板ウェーハ上にポリイミド膜が形成され、前記ポリイミド膜上に配線層が形成され、前記基板ウェーハの除去は前記ポリイミドのエッチング剥離を通してなされることを特徴とする請求項1から請求項8のうち1つの請求項に記載

の半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体集積回路装置の製造方法に関し、特にウェーハ基板の張り合わせの方法による半導体集積回路装置の形成方法に関する。

## 【0002】

【従来の技術】通常、半導体集積回路装置の製造では、集積回路を構成するための絶縁ゲート電界効果トランジスタ（以下、MOSトランジスタという）、ダイオード、キャバシタ、抵抗体等の半導体素子と、これ等の半導体素子間を結線する配線層とがウェーハ基板上に形成される。ここで、これらの半導体素子および配線層を形成していく主要の工程は、ウェーハ基板への不純物の導入、導電体材料、半導体材料あるいは絶縁体材料の堆積、フォトリソグラフィ技術とエッチング技術によるこれらの材料膜の加工等の工程である。

【0003】そして、これらの工程を通して、同一のウェーハ基板に半導体集積回路装置の搭載された半導体チップが多数個形成される。

【0004】以下、図8と図9に基づいて上記の通常にとられる半導体集積回路装置の製造方法を説明する。図8および図9はMOSトランジスタと配線層の製造工程順の断面図である。

【0005】図8(a)に示すように、シリコン基板101上に選択的に素子分離絶縁膜102が形成される。そして、素子分離絶縁膜102の形成されていないシリコン基板101の表面にゲート絶縁膜103が形成される。

【0006】次に、図8(b)に示すようにゲート絶縁膜103上にゲート電極104が形成される。そして、シリコン基板101の表面部に、ゲート電極104と素子分離絶縁膜102とに自己整合的（セルフアライン）に不純物が導入され、MOSトランジスタのソース・ドレイン拡散層105、106が形成される。

【0007】次に、図8(c)に示すように、素子分離絶縁膜102、ゲート電極104、ソース・ドレイン拡散層105、106等を被覆するように、第1の層間絶縁膜107が形成される。そして、この第1の層間絶縁膜107とゲート絶縁膜103を貫通しソース・ドレイン拡散層105あるいは106に達するコンタクト孔108が形成されるようになる。

【0008】次に、図9(a)に示すようにコンタクト孔108にコンタクトプラグ109が埋設される。ここで、このコンタクトプラグ109は導電体材で構成され、ソース・ドレイン拡散層105あるいは106と電気接続される。

【0009】そして、以後の工程で統けて配線層が形成される。すなわち、図9(a)に示すように、第1の配線層110と111とが第1の層間絶縁膜107上に配

設される。ここで、第1の配線層110はコンタクトプラグ109を通してソース・ドレイン拡散層105に電気接続する。同様に、第1の配線層111はソース・ドレイン拡散層106に電気接続する。

【0010】次に、図9(b)に示すように第1の配線層110、111等を被覆するように第2の層間絶縁膜112が形成される。そして、この第2の層間絶縁膜112の所定の領域にスルーホール113が形成される。そして、図9(c)に示すようにスルーホール113にスルーホールプラグ114が充填される。ここで、スルーホールプラグ114は導電体材で構成され、第1の配線層111と電気接続される。さらに、この第2の層間絶縁膜112上に第2の配線層115、116が配設される。ここで、第2の配線層115はスルーホールプラグ114を通して第1の配線層111に電気接続する。

【0011】以上のようにして、シリコン基板101上にゲート絶縁膜103、ゲート電極104およびソース・ドレイン拡散層105、106などで構成されるMOSトランジスタが形成され、さらに、ソース・ドレイン拡散層の引き出し電極として第1の配線層あるいは第2の配線層が形成される。

【0012】そして、近年の半導体集積回路装置では、半導体素子間を接続するための配線層は4層あるいは5層と多層化されると共に微細化されてきている。このような配線層の多層化は、特にロジック系の半導体集積回路装置で顕著である。

【0013】また、半導体集積回路装置のカスタム製品では、製品の受注から出荷までの工期を短縮することが必須になる。そこで、例えばカスタムROM製品では、上記のMOSトランジスタの多数個がシリコン基板上に形成され準備されている。すなわちマスタウェーハが準備されている。そして、受注があるとROMコードを決めるための不純物導入あるいはコンタクト孔の形成等が上記マスタウェーハになされる。そして、さらにこのマスタウェーハ上に配線層が形成されて所望の半導体集積回路装置が形成される。

【0014】また、ゲートアレイのようなカスタム製品でも同様の方法が採られている。すなわち、MOSトランジスタで構成される基本ゲートが半導体チップに多数個規則的に配列される。このようにしてマスタウェーハが予め形成される。ここで、この基本ゲートの配列の数は、種々の用途を想定して設定されている。

【0015】そして、ゲートアレイの顧客の用途に応じて、マスタウェーハ上に配線層が形成され、基本ゲート相互間はこの配線層で結線され、所望の論理回路を有する半導体集積回路装置が形成されるようになる。

【0016】

【発明が解決しようとする課題】上述したように、従来の半導体集積回路装置の製造方法では、同一のウェーハ基板に半導体集積回路装置の搭載された半導体チップが

多数個形成される。しかし、配線層が多層化していくと多層配線層の形成工程で不良が多発するようになってくる。そして、半導体集積回路装置の製造歩留まりが低下していく。特に、配線層が微細化し多層化した半導体集積回路装置の歩留まり低下は顕著となってきている。また、半導体素子の製造工程までは良品となっていたウェーハ基板も配線層の形成工程で不良品になってしまう。このようにして、半導体集積回路装置の製造コストが高くなってくる。

【0017】また、上記のカスタム製品の技術では、予めマスタウェーハ等が準備されている。そして、受注に応じてこのマスタウェーハ上に配線層が形成されて、半導体集積回路装置が完成する。そして、受注時点でマスタウェーハの作製を始める製造方法に比べると、確かに製品の出荷は早くなる。

【0018】しかし、このような方法では、受注後に配線層の形成がなされるので、受注後の前工程において、最小限このための時間は必要になり、カスタム製品の納期短縮に限界が生じるようになる。

【0019】本発明の目的は、半導体集積回路装置の製造歩留まりを向上させると共に、カスタム製品の受注から出荷までの工期を更に短縮できる半導体集積回路装置の製造方法を提供することにある。

【0020】

【課題を解決するための手段】このために、本発明の半導体集積回路装置の製造方法は、半導体素子を有する半導体ウェーハと配線層の形成された基板ウェーハ(配線層ウェーハという)とを互いに位置合わせて張り合わせて、前記半導体ウェーハの半導体素子に前記配線層を電気接続させる工程と、前記基板ウェーハを除去する工程とを含む。

【0021】このような半導体ウェーハは、半導体基板上に配列して形成されたMOSトランジスタと、全面を被覆する層間絶縁膜と、前記MOSトランジスタのソース・ドレイン拡散層およびゲート電極に達するコンタクト孔と、前記コンタクト孔に充填された導電体材とを有し、前記層間絶縁膜と前記導電体材との表面は平坦化され、さらに、前記配線層ウェーハは配線層の特性計測を通して良品として選別されている。

【0022】あるいは、カスタム製品の半導体集積回路装置の製造方法であって、異種の配線構造を有し異なる論理回路を構成する配線層ウェーハが予め複数種形成されており、前記カスタム製品の論理構成に応じて前記半導体ウェーハと前記配線層ウェーハとが張り合わされる。

【0023】そして、前記半導体ウェーハに形成されたコンタクト孔に充填される導電体材と前記配線層ウェーハに形成される最上層の配線層とが同一材料で構成され、前記導電体材と前記最上層の配線層とが接着される。

【0024】ここで、前記導電体材と前記最上層の配線層とはアルミ金属で構成される。

【0025】あるいは、前記導電体材と前記最上層の配線層とは高融点金属で構成されている。

【0026】また、前記配線層ウェーハに形成される最上層の配線層間に接着絶縁層が形成され、前記最上層の配線層と前記接着絶縁層が平坦化され、前記半導体ウェーハの層間絶縁膜と前記接着絶縁層とが接着される。

【0027】ここで、前記接着絶縁層はスピノン・オン・ガラス膜で構成される。

【0028】また、前記配線層ウェーハにおいて、基板ウェーハ上にポリイミド膜が形成され、前記ポリイミド膜上に配線層が形成され、前記基板ウェーハの除去は前記ポリイミドのエッチング剥離を通してなされる。

【0029】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1乃至図6に基づいて説明する。ここで、図1は本発明の基本概念を説明する図であり、図2乃至図6はその具体的な製造方法を示すための製造工程順の断面図である。

【0030】図1に示すように、半導体集積回路装置のためのCMOSトランジスタ等の半導体素子が多数個形成された下地ウェーハが形成される。そして、同様に配線層が形成された配線層ウェーハが別に形成される。ここで、配線層ウェーハには、基板ウェーハ上に接着層が形成され、この接着層上に配線層のみが形成される。なお、配線層は第1の配線層、第2の配線層あるいは更に多層の配線層で構成される。

【0031】そして、それぞれ別々に形成された上記の下地ウェーハと配線層ウェーハとが互いに張り合わされ、半導体の集積回路装置ウェーハが形成される。ここで、この集積回路装置ウェーハには、半導体集積回路装置の半導体チップが多数個形成されるようになる。最後に、配線層ウェーハに用いられた基板ウェーハが除去される。このようにして、所定の半導体集積回路装置が完成する。

【0032】次に、図2に基づいて本発明の下地ウェーハの形成方法について説明する。

【0033】図2(a)に示すように、導電型がP型のシリコン基板1上に選択的に素子分離絶縁膜2が形成される。ここで、素子分離絶縁膜2はLOCOS等で形成されるシリコン酸化膜である。そして、素子分離絶縁膜2の形成されていないシリコン基板1の表面にゲート絶縁膜3が形成される。ここで、ゲート絶縁膜3は膜厚の薄いシリコン酸化膜である。

【0034】次に、図2(b)に示すようにゲート絶縁膜3上にゲート電極4が形成される。ここで、このゲート電極4は高濃度のリン不純物を含有するポリシリコン膜である。

【0035】そして、シリコン基板1の表面部に、ゲー

ト電極4と素子分離絶縁膜2とにセルフアラインにヒ素不純物が導入され、NチャネルのMOSトランジスタのソース・ドレイン拡散層5、6が形成される。

【0036】次に、図2(c)に示すように、素子分離絶縁膜2、ゲート絶縁膜3、ゲート電極4、ソース・ドレイン拡散層5、6等を被覆するように、第1の層間絶縁膜7が形成される。そして、この第1の層間絶縁膜7とゲート絶縁膜3を貫通しソース・ドレイン拡散層5、6に達するコンタクト孔8が形成されるようになる。そして、このコンタクト孔8にコンタクトプラグ9、9aが埋設される。

【0037】ここで、第1の層間絶縁膜7は化学気相成長(CVD)法で堆積され、膜厚が800nm程度のシリコン酸化膜である。また、このコンタクトプラグ9、9aは高濃度のリン不純物を含むポリシリコン、タンクステン等の高融点金属あるいはアルミ金属等の導電体材で構成され、ソース・ドレイン拡散層5および6と電気接続される。

【0038】そして、この第1の層間絶縁膜7およびコンタクトプラグ9、9aにおいては、化学的機械研磨(CMP)法でその表面が平坦化されている。

【0039】以上のようにして、シリコン基板1上にゲート絶縁膜3、ゲート電極4およびソース・ドレイン拡散層5、6と構成されるNチャネル型のMOSトランジスタが形成され、さらに、ソース・ドレイン拡散層5、6に接続するコンタクトプラグ9、9aが形成され、下地ウェーハが形成される。

【0040】次に、図3と図4に基づいて本発明の配線層ウェーハの形成方法について説明する。

【0041】図3(a)に示すように、シリコン基板1の表面に接着層12が形成される。ここで、この接着層12は膜厚が1μm程度のポリイミド膜である。

【0042】次に、図3(b)に示すように接着層12上に第2の配線層13、14が形成される。ここで、第2の配線層13、14は膜厚が1μm程度のアルミ金属で構成されている。そして、この第2の配線層13、14間に第3の層間絶縁膜15が形成される。ここで、第3の層間絶縁膜15はCVD法で堆積されCMP法で表面研磨されたシリコン酸化膜である。

【0043】次に、図3(c)に示すように第2の配線層13、14および第3の層間絶縁膜15を被覆するように、第2の層間絶縁膜16が形成される。ここで、第2の層間絶縁膜16は膜厚が1μm程度のシリコン酸化膜である。そして、この第2の層間絶縁膜16を貫通し第2の配線層13に達するスルーホール17が形成される。さらに、このスルーホール17にスルーホールプラグ18が充填される。ここで、このスルーホールプラグ18はアルミ金属であり、第2の配線層13に電気接続される。この第2の層間絶縁膜16およびスルーホールプラグ18の表面は、CMP法で完全に平坦化されてい

る。

【0044】次に、図4に示すように第2の層間絶縁膜16上に第1の配線層19、20が配設される。ここで、この第1の配線層19、20は膜厚500nm程度のアルミ金属で構成されている。そして第1の配線層20はスルーホールプラグ18に電気接続している。

【0045】また、第1の配線層19、20間に接着絶縁層21が充填されている。ここで、接着絶縁層21は塗布法と熱処理により形成されるSOG(スピンドル・オン・ガラス)膜で構成される。そして、この第1の配線層19、20と接着絶縁層21の表面はCMP法で完全に平坦化されている。

【0046】以上のようにして、シリコン基板11上に接着層12を介して配線層が形成される。すなわち、接着層12上に第2の配線層13、14、第3の層間絶縁膜15、第2の層間絶縁膜16、スルーホールプラグ18、第1の配線層19、20および接着絶縁層21が平坦に形成された配線層ウェーハが形成される。

【0047】以上のようにして完成した配線層ウェーハの配線系の断線あるいは短絡等が計測検査され、良品となる配線層ウェーハが選別される。ここで、例えば80%以上の良品チップを有する配線層ウェーハが良品の配線層ウェーハとされる。

【0048】次に、図5に示すように、上述した下地ウェーハと良品の配線層ウェーハとが互いに張り合わせられる。図5では、下地ウェーハの表面が上にされ、配線層ウェーハが下にされて張り合わせられている。

【0049】ここで、下地ウェーハと配線層ウェーハとの張り合わせについて具体的に説明する。シリコン基板1の上部に形成された第1の層間絶縁膜7はシリコン酸化膜である。そして、コンタクトプラグ9、9aはアルミ金属で構成されている。

【0050】また、シリコン基板11を基板ウェーハとして形成された第1の配線層はアルミ金属で構成されている。

【0051】このような下地ウェーハ上に配線層ウェーハが裏返しに張り合わせられる。この張り合わせにおいて、コンタクトプラグ9と第1の配線層19とが接続され、同様にコンタクトプラグ9aと第1の配線層20とが接続されるように、赤外光を通してこれらのウェーハの位置合わせがなされる。そして、窒素雰囲気中あるいは真空中で熱処理がなされ、上記のコンタクトプラグと第1の配線層とが強固に接着するようになる。ここで、上記の熱処理の温度は100°C~400°Cに設定される。

【0052】また、この張り合わせにおいて、コンタクトプラグ9、9aがタンクステンで構成され、第1の配線層がタンクステンで構成されている場合も、上記と同様にしてウェーハの張り合わせが行われる。但し、この場合には、上記の熱処理の温度は300°C~400°Cに

設定される。このようにアルミ金属の場合より高い温度でコンタクトプラグと第1の配線層とが強固に接着するようになる。

【0053】以上のようにして、コンタクトプラグと第1の配線層に用いられた導電体材が同一であり、これらの導電体材の接着で下地ウェーハと配線層ウェーハとが張り合わされることになる。

【0054】しかし、コンタクトプラグと第1の配線層に用いられた導電体材が異種の場合には、例えば、窒化チタンとアルミ金属とがそれぞれ用いられる場合には、上記のような強固な接着は難しくなる。そこで、このような場合には、接着絶縁層21と第1の層間絶縁膜7との接着で下地ウェーハと配線層ウェーハとが張り合わされることになる。このような場合では、上記の熱処理の温度は400°C~450°Cに設定される。そして、コンタクトプラグ9と第1の配線層19との接続およびコンタクトプラグ9aと第1の配線層20との電気接続はなされる。

【0055】なお、このような下地ウェーハと配線層ウェーハとの張り合わせで重要なことは、互いの接着面すなわち第1の層間絶縁膜7、コンタクトプラグ9、9a、第1の配線層19、20および接着絶縁層21が完全に平坦化されていることである。

【0056】以上に説明したようにして、下地ウェーハと配線層ウェーハとが張り合わせた後、接着層12が薬液中で除去され同時にシリコン基板11が取り除かれる。そして、このシリコン基板11は配線層ウェーハの基板ウェーハとして再利用される。

【0057】以上のようにして、図6に示すように、従来の技術で説明したのと同様な半導体集積回路装置ができる。すなわち、選択的に素子分離絶縁膜2の設けられたシリコン基板1上にゲート絶縁膜3、ゲート電極4およびソース・ドレイン拡散層5、6などで構成されるMOSトランジスタが形成され、さらに、ソース・ドレイン拡散層の引き出し電極として第1の配線層19、20あるいは第2の配線層13、14が形成される。ここで、ソース・ドレイン拡散層5、6と第1の配線層19、20とはコンタクトプラグ9、9aで電気接続される。また、第1の配線層20と第2の配線層13とはスルーホールプラグ18で電気接続される。

【0058】以上に説明したように、半導体集積回路装置は、半導体素子の形成された下地ウェーハと別に配線層の形成された配線層ウェーハとが張り合わせて形成される。ここで、配線層ウェーハの配線系の断線あるいは短絡等が計測検査され、良品となる配線層ウェーハのみが使用される。

【0059】以上のようにして、従来の半導体集積回路装置の製造方法で生じていた多層配線層の形成工程での不良の多発は大幅に低減される。また、半導体素子の製造工程までは良品となっていたウェーハ基板が配線

層の形成工程で不良品になってしまふことも回避される。このようにして、半導体集積回路装置の製造コスト低減が容易になる。

【0060】次に、本発明の第2の実施の形態を図7に基づいて説明する。ここで、図7は本発明を半導体集積回路装置のカスタム品に適用する場合の基本概念を説明する図である。以下、その具体的な製造方法は第1の実施の形態で説明したのと同一であるので省略する。

【0061】図7に示すように、例えばカスタムROM製品のためのCMOSトランジスタが多数個形成されたマスタウェーハが形成される。あるいは、ゲートアレイのようなカスタム製品のためのMOSトランジスタで構成される基本ゲートが半導体チップに多数個規則的に配列されたマスタウェーハが形成される。

【0062】そして、別に、配線層ウェーハが形成される。ここで、配線層ウェーハには、第1の実施の形態で説明したように、基板ウェーハ上に接着層が形成され、この接着層上に配線層のみが形成されている。ここで、配線層は第1の配線層、第2の配線層あるいは更に多層の配線層で構成される。しかし、この第2の実施の形態では、論理構成にあわせて種々の配線層ウェーハが形成されている。すなわち、第1種配線層ウェーハ、第2種配線層ウェーハ、・・・第n種配線層ウェーハが形成される。ここで、これらの配線層ウェーハの配線系の断線あるいは短絡等が計測検査されるとよい。

【0063】ここで、カスタムROM製品の受注があると、所定のマスタウェーハと所定の配線層ウェーハ例えば第1種配線層ウェーハとが選択される。そして、これらのウェーハが、第1の実施の形態で説明したと同様に位置合わせされ、互いに張り合わせられる。そして、必要なROMコードを有する集積回路装置ウェーハが形成される。ここで、この集積回路装置ウェーハには、カスタムROM製品となる半導体集積回路装置の半導体チップが多数個形成されるようになる。

【0064】また、ゲートアレイのようなカスタム製品でも同様の方法が採られている。すなわち、ゲートアレイ製品の受注があると、所定のマスタウェーハと所定の配線層ウェーハ例えば第2種配線層ウェーハとが選択される。そして、これらのウェーハが、第1の実施の形態で説明したと同様に位置合わせされ、互いに張り合わせられる。そして、顧客対応の論理回路を有する集積回路装置ウェーハが形成される。ここで、この集積回路装置ウェーハには、ゲートアレイ製品となる半導体集積回路装置の半導体チップが多数個形成されるようになる。

【0065】このように本発明では、種々の用途を想定しマスタウェーハと各種配線層ウェーハとを予め形成しておくことができる。そして、カスタム製品の受注があると、所定のマスタウェーハと所定の配線層ウェーハとが選択され、これらが張り合わせされて半導体集積回路装置が完成する。この場合には、カスタム製品の受注か

ら出荷までの工程で前工程と呼ばれる工程はこの張り合わせ工程のみになる。このため、従来の工程に比べると大幅に短縮されるようになる。

【0066】以上の実施の形態では、配線層ウェーハがシリコン基板に形成される場合について説明されている。この配線層ウェーハの基板ウェーハとしてはその他ガラス基板のような絶縁基板あるいは導電体基板でも同様に使用できる。

【0067】

【発明の効果】以上に説明したように、本発明の製造方法では、半導体集積回路装置は、半導体素子の形成されたウェーハと別に配線層の形成されたウェーハとが張り合わせられて形成される。

【0068】このために、従来の半導体集積回路装置の製造方法で生じていた多層配線層の形成工程での不良の多発は大幅に低減される。また、半導体素子の製造工程までは良品となっていたウェーハ基板が配線層の形成工程で不良品になってしまふことも回避される。そして、半導体集積回路装置の製造コスト低減が容易になる。

【0069】また、本発明の方法がカスタム製品に適用されると、カスタム製品の受注から出荷までの工程が大幅に短縮される。

【0070】このように、本発明の半導体集積回路装置の製造方法は、微細な多層配線を有する半導体集積回路装置を低成本で製造できるようにする。また、受注から納品までの期間を大幅に縮減し多品種のカスタム製品への対応を容易にする。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのフロー図である。

【図2】本発明の第1の実施の形態を説明するための工程順の断面図である。

【図3】本発明の第1の実施の形態を説明するための工程順の断面図である。

【図4】本発明の第1の実施の形態を説明するための工程順の断面図である。

【図5】本発明の第1の実施の形態を説明するための工程順の断面図である。

【図6】本発明の第1の実施の形態を説明するための工程順の断面図である。

【図7】本発明の第1の実施の形態を説明するためのフロー図である。

【図8】従来の技術を説明するための工程順の断面図である。

【図9】従来の技術を説明するための工程順の断面図である。

【符号の説明】

1. 11. 101 シリコン基板

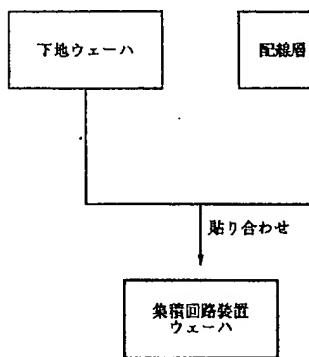
2. 102 素子分離絶縁膜

3. 103 ゲート絶縁膜

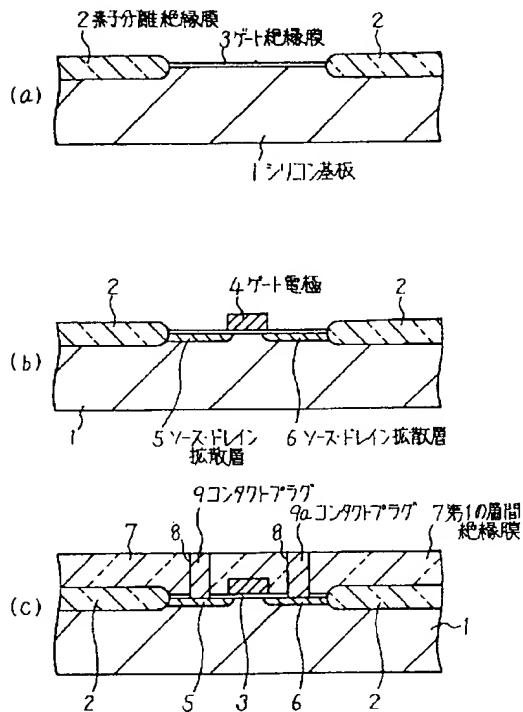
4, 104 ゲート電極  
 5, 6, 105, 106 ソース・ドレイン拡散層  
 7, 107 第1の層間絶縁膜  
 8, 108 コンタクト孔  
 9, 9a, 109 コンタクトプラグ  
 12 接着層  
 13, 14, 115, 116 第2の配線層

15 第3の層間絶縁膜  
 16, 112 第2の層間絶縁膜  
 17, 113 スルーホール  
 18, 114 スルーホールプラグ  
 19, 20, 110, 111 第1の配線層  
 21 接着絶縁層

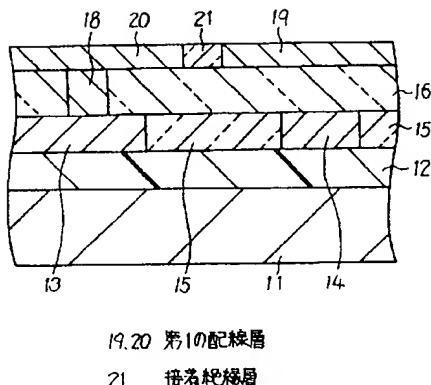
【図1】



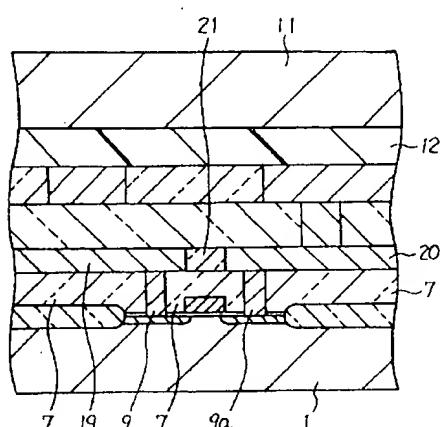
【図2】



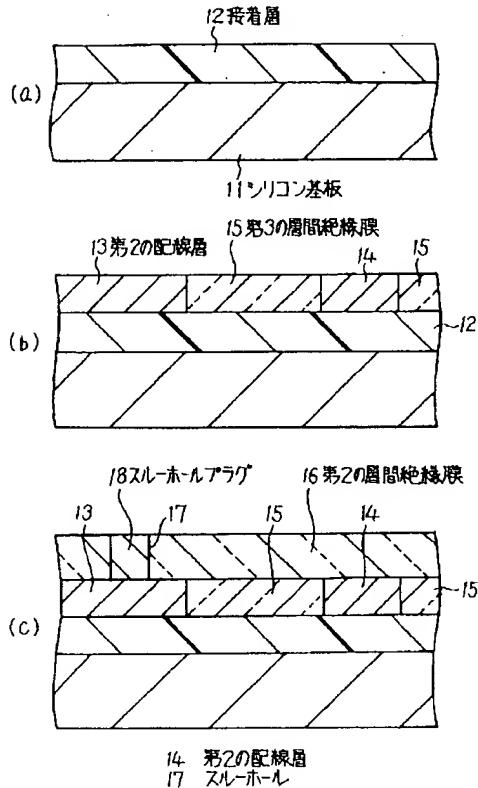
【図4】



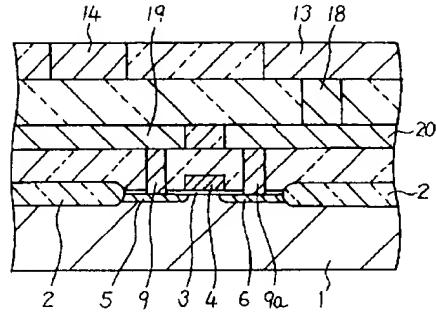
【図5】



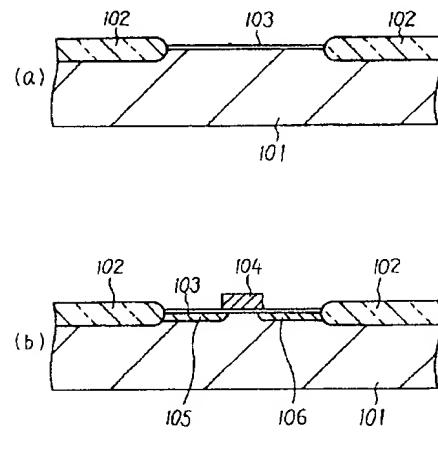
【図3】



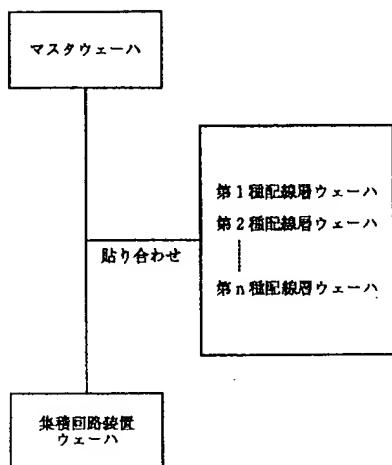
【図6】



【図8】



【図7】



【図9】

